

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-316351

(43)Date of publication of application : 06.11.1992

(51)Int.Cl.

H01L 21/90

H01L 21/3205

(21)Application number : 03-082814

(71)Applicant : FUJITSU LTD

(22)Date of filing : 16.04.1991

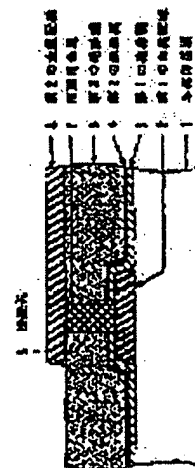
(72)Inventor : KOSUGI MASATO
ITO HIROSHI
MATSUKURA YUSUKE

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enable reliability in wiring to be improved by forming a connection hole by allowing only an insulation film of an upper layer to be penetrated by constituting an interlayer insulation film with a three-layer insulation film, eliminating middle-layer and lower-layer insulation films which are exposed on a bottom surface of the connection hole, and then burying a metal for connection selectively, etc.

CONSTITUTION: After a first metal wire 2 is formed on a semiconductor substrate 1, the first metal wire 2 is covered and then three-layer insulation films 3-5 of the first insulation film 3, the second insulation film 4, and the third insulation film 5 are formed on the semiconductor substrate 1. Then, only the third insulation film 5 is selectively penetrated, a connection hole 6 for connecting a metal wire is formed on the first metal wire 2, and then the second insulation film 4 and the first insulation film 3 which are exposed on a bottom surface of the connection hole 6 are eliminated, thus enabling the first metal wire 2 to be exposed. Then, after the metal for connection 7 for the first metal wire 2 is selectively buried in the connection hole 6, a second metal wire 8 is formed on the third insulation film 5 by covering the connection hole 6.



LEGAL STATUS

(8) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-316351

(43) 公開日 平成4年(1992)11月6日

(9) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/90	A	7353-4M		
21/3205				
21/90	K	7353-4M		
		7353-4M	H 0 1 L 21/88	N
		7353-4M		R

審査請求 未請求 請求項の数6(全 5 頁) 最終頁に続く

(2) 出願番号 特願平3-82814

(2) 出願日 平成3年(1991)4月16日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 小杉 眞人

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 伊藤 裕志

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 松倉 祐輔

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

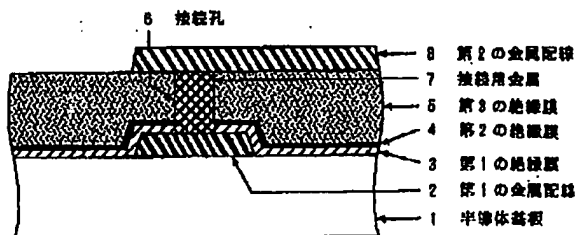
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 半導体装置の多層配線の形成方法に関し、配線の信頼性を向上させることを目的とする。

【構成】 半導体基板上に第1の金属配線を形成する工程と、第1の金属配線を覆って半導体基板上に第1の絶縁膜を形成する工程と、第1の絶縁膜上に第2の絶縁膜を形成する工程と、第2の絶縁膜上に第3の絶縁膜を形成する工程と、第3の絶縁膜のみを選択的に貫通して、第1の金属配線上に金属配線接続用の接続孔を形成する工程と、接続孔底面に露出した第2の絶縁膜および第3の絶縁膜を除去して、第1の金属配線を露出させる工程と、接続孔に第1の金属配線に対する接続用金属を選択的に埋め込む工程と、接続孔を覆って第3の絶縁膜上に第2の金属配線を形成する工程とを含むように構成する。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 半導体基板(1)上に第1の金属配線(2)を形成する工程と、該第1の金属配線を覆って、該半導体基板(1)上に第1の絶縁膜(3)を形成する工程と、該第1の絶縁膜(3)の上に、第2の絶縁膜(4)を形成する工程と、該第2の絶縁膜(4)の上に、第3の絶縁膜(5)を形成する工程と、該第3の絶縁膜のみを選択的に貫通して、該第1の金属配線(2)上に金属配線接続用の接続孔(6)を形成する工程と、該接続孔(6)底面に露出した該第2の絶縁膜(4)、および該第3の絶縁膜(5)を除去して、該第1の金属配線(2)を露出させる工程と、該接続孔(6)に該第1の金属配線(2)に対する接続用金属(7)を選択的に埋め込む工程と、該接続孔(6)を覆って、該第3の絶縁膜(5)上に該第2の金属配線(8)を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記第1の絶縁膜(3)が二酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜の何れかであることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記第2の絶縁膜(4)が酸化アルミニウムからなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記第3の絶縁膜(5)が、上層に耐酸素プラズマ性の無機膜、下層に平坦性の良い有機膜からなる、少なくとも二層以上の異なる絶縁膜からなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 前記第3の絶縁膜(5)の下層に、少なくともポリシロキサン膜、或いはシリコン樹脂膜が含まれることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 前記第3の絶縁膜(5)のみを選択的に貫通するに際し、弗化物系のガスを用いた反応性イオンエッチングを用いることを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の多層配線の形成方法に関する。近年のコンピュータシステムの高速化の要求に伴い、半導体集積回路の高集積化、高速化が益々要求されている。

【0002】 このため、半導体素子の微細化のみならず、配線の微細化、多層化が益々重要となってきている。このような多層配線を実現するには、層間絶縁膜の平坦化技術と、多層配線の配線層間を接続する微細な接続孔に配線を形成する技術の開発が特に重要である。

【0003】 これによって、多層配線の信頼性を高めてやる必要がある。

【0004】

【従来の技術】 従来の多層配線の形成においては、層間絶縁膜の平坦化法として、SOG塗布法、有機膜塗布

法、エッチバック法等が用いられている。

【0005】 この中で、ポリシロキサン、シリコン樹脂等の塗布による平坦化は工程が簡単であり、平坦性に優れている。配線層間の接続孔の断面形状は、微細化と共に急峻でアスペクト比(深さに対する直径の比)の大きなものとなってくる。

【0006】 そのため、従来のスパッタ法で形成した配線層は、深い接続孔での配線金属膜の被覆性が悪いため、配線間の接続不良が重大な問題になってきている。この問題を解決できる多層配線技術には、微細接続孔に金属を選択的に埋め込む方法が有望である。

【0007】 現在のこの技術の主流は、原料ガスとして六弗化タングステン(WF₆)、還元剤として水素(H₂)やシラン(SiH₄)等を使用したタングステン(W)の選択CVD技術である。

【0008】 ポリシロキサン、シリコン樹脂等の塗布による層間絶縁膜の平坦化と、Wの選択CVD法による配線接続孔への配線形成を組み合わせた多層配線の形成は重要である。

【0009】

【発明が解決しようとする課題】 塗布法では、下層配線パターンの粗密、または寸法の大小により、下層配線上の塗布膜厚が異なるため、弗化炭素系の反応ガスを用いた反応性イオンエッチング(RIE)法で接続孔を開口した場合、パターン密度が低い領域の接続孔は長時間オーバーエッチングされる。

【0010】 そのため接続孔底面に露出した下層配線表面上に、炭素(C)、水素(H)、弗素(F)原子等からなる残留物が残る。このような残留物は、通常の酸素(O₂)プラズマ処理や化学処理では容易に除去できない。

【0011】 そのため、この後の選択CVDにより接続孔へWを埋め込む工程で前記残留物が残っている配線金属上の接続孔には、Wが安定に成長しないという問題があった。

【0012】 さらに、上記残留物の少ない条件でRIEを行った場合には、下層配線の金属がスパッタされて接続孔の側壁部に付着するため、Wが側壁部に成長してしまうという問題があった。

【0013】 本発明は、このような問題点を鑑みてなされたものであって、特に、塗布法による層間絶縁膜の平坦化と、金属の選択CVD法による配線接続孔への金属埋め込みを確実にを行うことにより、配線の信頼性を向上させることができる多層配線の形成方法を提供することを目的としている。

【0014】

【課題を解決するための手段】 図1は本発明の原理説明図である。図において、1は半導体基板、2は第1の金属配線、3は第1の絶縁膜、4は第2の絶縁膜、5は第3の絶縁膜、6は接続孔、7は接続用金属、8は第2の金属配線である。

3

【0015】前記の問題点は、本発明の如く、半導体基板上に第1の金属配線2を形成する工程と、該第1の金属配線を覆って、該半導体基板上に第1の絶縁膜3を形成する工程と、該第1の絶縁膜3の上に、第2の絶縁膜4を形成する工程と、該第2の絶縁膜4の上に、第3の絶縁膜5を形成する工程と、該第3の絶縁膜5のみを選択的に貫通して、該第1の金属配線2上に金属配線接続用の接続孔6を形成する工程と、該接続孔6底面に露出した該第2の絶縁膜4、および該第3の絶縁膜5を除去して、該第1の金属配線2を露出させる工程と、該接続孔6に該第1の金属配線2に対する接続用金属7を選択的に埋め込む工程と、該接続孔6を覆って、該第3の絶縁膜5上に該第2の金属配線8を形成する工程とを含むことにより解決する。

【0016】

【作用】上記のように、本発明によれば、図1に示すように、金属配線間の層間絶縁膜を三層の絶縁膜で構成している。

【0017】下層の絶縁膜は、下層金属配線への密着性の良い絶縁膜である。中間層の絶縁膜は、反応性イオンエッチング法で上層の絶縁膜を選択的にエッチングして下層配線に配線接続孔を開く際のエッチングの停止層である。

【0018】そのため、金属配線間の層間絶縁膜を構成している上層の絶縁膜の厚さが半導体基板上の金属配線上で大きく異なっても、下層配線の金属表面が反応性イオンに直接曝されることがない。

【0019】また、エッチングの停止層である中間層の絶縁膜の表面にカーボン系の残留物が生じても、中間層と下層の絶縁膜を除去する際に、容易に除去することができる。

【0020】さらに、中間層と下層の絶縁膜を除去する際に、下層配線の金属表面に影響を与えない方法で除去すれば、反応性イオンエッチング条件に関係なく同一の金属表面状態が得られるため、開口した配線接続孔に選択CVD法により金属を安定、かつ再現性良く埋め込むことができる。

【0021】

【実施例】図2、図3は本発明の一実施例の工程順模式断面図である。図において、9はSi基板、10はSiO₂膜、11はTiW/Au/TiW膜、12はSiO₂膜、13はAl₂O₃膜、14はPMSS樹脂膜、15はSiO₂膜、16は接続孔、17はW膜、18はTiW/Au膜である。

【0022】図2により、工程順に本発明の一実施例を説明する。図2(a)に示すように、半導体基板、例えば、シリコン(Si)基板9上にプラズマCVD法により、二酸化シリコン(SiO₂)膜10を1μmの厚さに被覆し、その上にチタン・タングステン(TiW)を30nm、金(Au)を70nm、TiWを30nmの厚さに連続してスパッタ法により積層し、バターニングして第1層目の金属配線としてのTiW/

4

Au/TiW膜11を形成する。

【0023】図2(b)に示すように、例えば、イオンビームアシスト蒸着法、またはスパッタ法により、SiO₂膜12を20nm、酸化アルミニウム(Al₂O₃)膜13を5nmの厚さに連続して積層蒸着する。

【0024】図2(c)に示すように、例えば、シリコーン樹脂の一種である日本ゼオン社製のシリル化ポリメチルシルセスキオキサン(PMSS)樹脂膜14をスピンコート法により1.5μmの厚さに塗布し、350℃で1時間加熱して硬化する。

【0025】続いて、例えば、イオンビームアシスト蒸着法により、SiO₂膜15を200nmの厚さに形成する。続いて、図2(d)に示すように、レジストマスクを用いて、RIE法により、弗化炭素系(CF₄、CF₃、C₂F₆)或いは六弗化硫黄(SF₆)のガスとヘリウム(He)の混合ガスを用いて、SiO₂膜15、及びPMSS樹脂膜14をエッチングして、接続孔16を開く。

【0026】この場合、前記RIEによりAl₂O₃膜13は殆どエッチングされないため、200%程度オーバーエッチングしても、Al₂O₃膜13が露出した状態でエッチングが停止する。

【0027】図3(e)に示すように、例えば、希釈弗化水素水溶液、または緩衝弗化水素水溶液により、Al₂O₃膜13、及びSiO₂膜12を除去し、第1層目の金属配線のTiW表面を露出する。

【0028】図3(f)に示すように、減圧下の反応容器中でSi基板9を260℃に加熱して、WF₆とSiH₄とH₂の混合ガスを用いて、接続孔16内にW17を選択的に堆積する。その後、図3(g)に示すように、TiWを30nm、Auを700nmの厚さにスパッタ法により連続して積層蒸着し、バターニングして第2の金属配線、TiW/Au膜18を形成する。

【0029】この工程を繰り返せば、三層以上の多層配線形成ができる。前記実施例では、絶縁膜14としてPMSS樹脂を用いた場合を例示したが、ポリシロキサンなどのSOG膜を適用することもできる。

【0030】絶縁膜14、15として一層の無機膜を用いた場合にも適用できることはいうまでもない。また、前記実施例では、PMSS樹脂膜の下の絶縁膜をSiO₂/Al₂O₃膜としたが、SiO₂/Al₂O₃/SiO₂膜としても良い。

【0031】

【発明の効果】以上説明したように、本発明によれば、金属配線間の層間接続孔を開く際に、層間絶縁膜の下層配線付近にエッチングの停止層を設けているため、下層配線上の層間絶縁膜の厚みが半導体基板上で異なっても、配線金属表面に影響を与えない。

【0032】従って、接続孔に露出した金属表面は半導体基板上に互って汚染のない同一の表面状態が得られるため、開口した配線接続孔に選択CVD法により接続用金属を安定、かつ再現性良く形成することができ、多層配

線信頼性の向上に寄与するところが大きい。

【面の簡単な説明】

【図1】 本発明の原理説明図

【図2】 本発明の一実施例の工程順模式断面図（その1）

【図3】 本発明の一実施例の工程順模式断面図（その2）

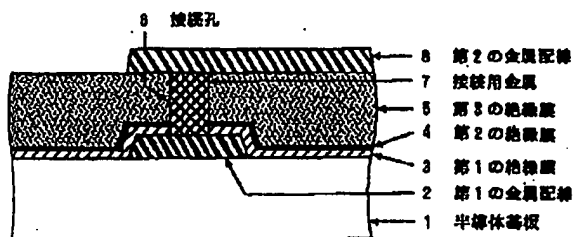
【符号の説明】

- 1 半導体基板
- 2 第1の金属配線
- 3 第1の絶縁膜
- 4 第2の絶縁膜
- 5 第3の絶縁膜

- 6 接続孔
- 7 接続用金属
- 8 第2の金属配線
- 9 Si基板
- 10 SiO₂膜
- 11 TiW/Au/TiW膜
- 12 SiO₂膜
- 13 Al₂O₃膜
- 14 PMSS樹脂膜
- 15 SiO₂膜
- 16 接続孔
- 17 W膜
- 18 TiW/Au膜

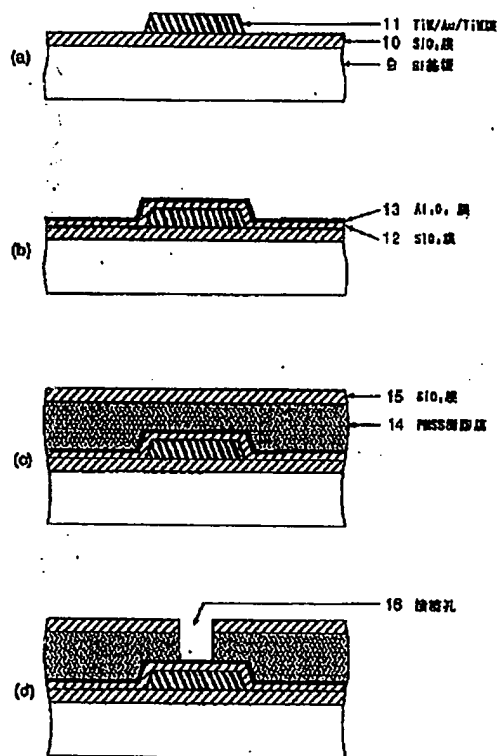
【図1】

本発明の原理説明図



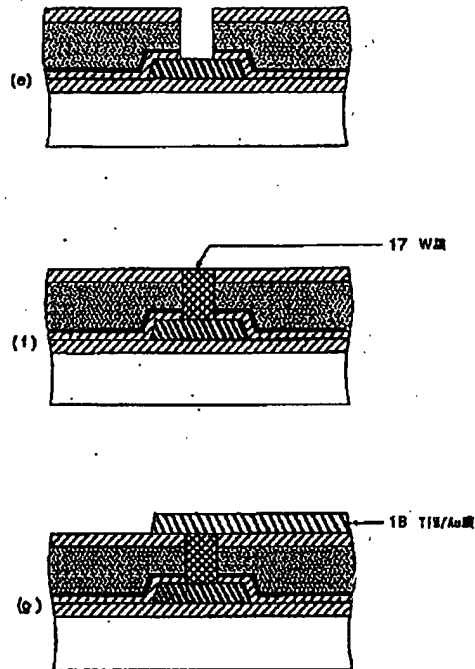
【図2】

本発明の一実施例の工程順模式断面図（その1）



【図3】

本発明の一実施例の工程順模式断面図（その2）



フロントページの続き

(51) Int. Cl.⁵
H 0 1 L 21/90

識別記号 庁内整理番号
S 7353-4M

F I

技術表示箇所